

## ⑫ 公開特許公報(A)

昭62-142403

⑬ Int.Cl.<sup>4</sup>H 03 F 3/50  
H 03 K 17/687

識別記号

庁内整理番号

6628-5J  
Z-7190-5J

⑭ 公開 昭和62年(1987)6月25日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ソースホロワ回路

⑯ 特 願 昭60-283783

⑰ 出 願 昭60(1985)12月17日

⑱ 発 明 者 三 澤 利 之 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 ⑱ 発 明 者 松 枝 洋 二 郎 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 ⑱ 発 明 者 佐 藤 尚 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 ⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
 会社  
 ⑳ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称 ソースホロワ回路

## 2. 特許請求の範囲

(1) ソースホロワ動作する MOSFET (金属酸化膜半導体電界効果トランジスタ) と負荷電流源とを直列接続して成るソースホロワ回路において、前記ソースホロワ動作する MOSFET を第一の導電型の薄膜トランジスタで、前記負荷電流源を第二の導電型の薄膜トランジスタ (以下、TFT と略記する。) で形成したソースホロワ回路であつて、該第二の導電型の負荷電流源 TFT のゲートに薄膜素子によつて構成された可変バイアス回路の出力端子を接続し、該第一の導電型のソースホロワ TFT のゲートと該可変バイアス回路の入力端子とを接続してソースホロワ回路の入力端子としたことを特徴とするソースホロワ回路。

(2) 前記可変バイアス回路は、第一の導電型のソースホロワ動作する TFT と薄膜素子より成る

負荷抵抗手段の直列接続で形成されたことを特徴とする特許請求範囲第1項記載のソースホロワ回路。

(3) 前記薄膜素子より成る負荷抵抗手段は MOS 抵抗であることを特徴とする特許請求の範囲第1項記載のソースホロワ回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、薄膜トランジスタ (以下、TFT と略記する。) を用いて構成されたソースホロワ回路に関する。本発明の利用分野は、ドライバー回路を内蔵したアクティブマトリクス液晶パネル、固体撮像装置等が考えられる。

## 〔発明の概要〕

本発明は、MOSFET によるソースホロワ回路において、ソースホロワ FET を第一の導電型の TFT で、負荷電流源を第二の導電型の TFT で形成し、該負荷電流源を成す TFT のゲートを可変バイアス回路に接続することによつて、TFT

が有する非線形な特性を補償し理想的なソースホロワ回路を実現するものである。

〔従来の技術〕

MOSFETを用いた従来のソースホロワ回路は、第5図に示す様に単結晶MOSFET 103と定電流源104とから成っていた。MOSFETによるソースホロワ回路は、従来、文献“A Liquid Crystal TV Display Panel with Drivers”(T. Yamasaki et al, SID'82 DIGEST pp.48-49)に示さる様に、ドライバー回路を内蔵したアクティブマトリクス液晶ディスプレイ等に利用されていた。

〔発明が解決しようとする問題点〕

しかしながら、ソースホロワ回路をドライバー内蔵アクティブマトリクスパネルに応用しようとした場合、従来の技術に述べた様な単結晶シリコンMOSFETを用いることはパネルの表示品質の上で問題が多い。その最大の理由は、単結晶シリコン基板に形成されたアクティブマトリクスパネルは不透明であるため、背後から光を照射する

- 3 -

以上の様な差があるため、ソースホロワ回路の性能にも差が現われ、TFETによるソースホロワ回路は単結晶MOSFETによるソースホロワに比べて次の点で劣る。

- (1) 入力信号に対する出力信号のレベルシフト量が大きい。
- (2) 入力信号と出力信号の間のリニアリティが乏しい。

本発明は、以上の様な、シリコン薄膜TFETによるソースホロワ回路に特有の問題点を解決し、高性能なソースホロワ回路を提供することを目的とする。

〔問題点を解決するための手段〕

本発明のソースホロワ回路は、第一の導電型のソースホロワ動作するTFETと負荷電流源を成す第二の導電型のTFETとを直列接続して成り、該第二の導電型のTFETのゲートに薄膜素子によつて構成された可変バイアス回路を接続して成ることを特徴とする。

- 5 -

透過型ディスプレイとして用いることが出来ず、従つてカラー表示も難しいことにある。

以上の様な表示上の理由から、ソースホロワ回路を透明な絶縁基板上にTFETで形成する必要が生ずる。

ところで、シリコン薄膜(例えばアモルファスシリコン、多結晶シリコン)によるTFETの特性は単結晶シリコンMOSFETのそれに比べて劣っており、次の様な特徴を有する。

- (1) 閾値電圧が高く、キャリア移動度が低い。従つてオン電流が低い。
- (2) 飽和領域における定直流性に乏しい。またゲート電圧に対するドレイン電流のリニアリティに欠ける。
- (3) オフ電流が大きい。

シリコン薄膜によるTFETの特性カーブを単結晶シリコンMOSFETのそれと対比して第6図に示す。同図(a)の114及び同図(c)がTFETの特性、同図(a)の113及び同図(b)が単結晶シリコンMOSFETの特性である。単体トランジスタの特性に

- 4 -

〔作用〕

本発明の上記の構成によれば、前記負荷電流源の両端に加わる電圧の大小に応じた電圧が該負荷電流源を成す第二の導電型のTFETのゲートに供給される様に前記可変バイアス回路が動作する。この結果、ソースホロワ動作する第二の極性のTFETのゲート・ソース間電圧が常に一定に保たれ、ソースホロワ回路のリニアリティが得られる。

〔実施例〕

第5図に示すソースホロワ回路をTFETで構成すると前述の様な欠点が見られることを、説明する。まず、第5図のソースホロワ回路を単結晶MOSFETで形成した場合について述べる。

107は正電源、108は負電源である。MOSFET 103は第6図(b)の109に示すトランジスタ特性を持ち、定電流源104は第6図(b)の110に示す特性を持つ。液晶パネルの様な容量性負荷を駆動する場合、入力電圧(即ち負電源108からみた入力端子105の電圧)に全く依存せず定電流源104の電流値のみでTFET

- 6 -

103のゲート・ソース間電圧 $V_{gs}$ が定まり、その結果出力電圧 $V_o$ (即ち負電源108からみた出力端子106の電圧)は入力電圧 $V_i$ に対して $V_{gs}$ だけレベルシフトされた電圧に定まる。即ち、次式が成り立つ。

$$V_o = V_i + V_{gs} \quad (1)$$

一方、第5図のソースホロウ回路において、容量性負荷を駆動する場合、MOSFET103をTFTで置き換えると次の様になる。TFT103は第6図(c)の川に示すトランジスタ特性を持ち、定電流源104は同図(c)の112に示す特性を持つ。このとき、TFT103の動作点即ちゲート・ソース間電圧 $V_{gs}$ は、ソースホロウ回路の入力電圧 $V_i$ に依存して定まり、 $V_i$ が小さい時 $V_{gs} = V_{gs1}$ 、 $V_i$ が大きい時 $V_{gs} = V_{gs2}$ となる。ただし、 $V_{gs1} > V_{gs2}$ 。従つて、ソースホロウ回路の入力電圧 $V_i$ と出力電圧 $V_o$ の関係は次の様になる。

$$V_i \text{ が小さいとき、} V_o = V_i + V_{gs1} \quad (2)$$

$$V_i \text{ が大きいとき、} V_o = V_i + V_{gs2} \quad (3)$$

- 7 -

1は薄膜素子(TFT、薄膜抵抗等)より成る可変バイアス回路、2はN型TFT、3はP型TFT、4はソースホロウ回路の入力端子、5は出力端子、6は正の電源、7は負の電源である。第1図(b)において、8は薄膜素子より成る可変バイアス回路、9はN型TFT、10はP型TFT、11はソースホロウ回路の入力端子、12は出力端子、13は正電源、14は負電源である。

第2図、第3図、第4図は、TFT(例えば、アモルファスシリコンTFT、多結晶シリコンTFT等)を用いたソースホロウ回路の具体的構成の例を示した図である。以下、第一の導電型のTFTとしてP型TFTを、第二の導電型のTFTとしてN型TFTを用いた場合、即ち第1図(a)に該当する場合について説明するが、P型とN型、正電源と負電源をそれぞれ置き換えた構成も第1図(b)に該当するものであり本発明に含まれる。

第2図に本発明の第1の実施例を示す。同図において、21は薄膜抵抗、22はソースホロウ動作するP型TFTであり、これらによつて可変バ

一般に

$$V_o = V_i + V_{gs} \quad (4)$$

ただし、 $V_{gs}$ は $V_i$ の関数。

式(1)と式(2)を図示すると第7図の破になる。同図において、113は $V_o = V_i$ の特性を、114は式(1)の特性を、115は式(4)の特性を示したものである。

本発明は、第7図の115に示される様な、TFTによるソースホロウ回路の非線型性を回路的な工夫で補償し、同図114の様な入出力特性を持つたソースホロウ回路を得ようというものである。

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図に本発明のソースホロウ回路のブロック図を示す。同図は本発明の基本的な考え方を示したものである。同図(a)は第一の導電型のTFTとしてP型TFT、第二の導電型のTFTとしてN型TFTを用いた例であり、同図(b)はその逆の型のTFTを用いた例である。第1図(a)において、

- 8 -

イアス回路が形成される。また、23は負荷電流源を成すN型TFT、24はソースホロウ動作するP型TFT、27は正電源、28は負電源、25は26はそれぞれソースホロウ回路の入力端子、出力端子である。

第3図に本発明の第2の実施例を示す。同図において、31は負荷抵抗を成すN型TFT、32はソースホロウ動作するP型TFTであり、これらによつて可変バイアス回路が形成される。また、33は負荷電流源を成すN型TFT、34はソースホロウ動作するP型TFT、35、36はそれぞれソースホロウ回路の入力端子及び出力端子、39は可変バイアス回路の出力、37は正電源、38は負電源である。

第4図に本発明の第3の実施例を示す。同図において、41は負荷抵抗を成すデプレッションN型TFT、42はソースホロウを成すP型TFTであり、これらによつて可変バイアス回路が形成される。また、43は負荷電流源を成すN型TFT、44はソースホロウを成すP型TFT、45、46

- 10 -

- 9 -

はそれぞれソースホロワ回路の入力端子及び出力端子、49は可変バイアス回路の出力、47は正電源、48は負電源である。

次に、第2図に基づいて本発明のソースホロワ回路の動作を説明する。同図において、薄膜抵抗21とP型TFT22より成る可変バイアス回路はソースホロワ動作し、入力電圧 $V_I$ (負電源28からみた入力端子25の電圧)に対して第8図に示すような電圧 $V_O'$ が節点29に現われる。この結果、負荷電流源を成すN型TFT23を流れる電流は $V_O'$ に依存して定まり、 $V_O'$ が大きいほど大きく小さいほど小さくなる。第9図に、ソースホロワTFT24のトランジスタ特性と負荷電流源23の電流値変化とを重ねて示す。第9図よりわかる様に、第2図のソースホロワ回路によつて、例えば液晶パネルの様な容量性負荷を駆動する場合、入力電圧 $V_I$ に依存してTFT103のゲート・ソース電圧 $V_{gs}$ が定まるといふ従来のソースホロワ回路の欠点が補償され、可変バイアス回路の動きによつてTFT24のゲート・ソー

- 11 -

得が1)のソースホロワ回路がTFTによつて構成可能となる。前記可変バイアス回路をTFTや薄膜抵抗等の薄膜素子で構成することによつて、特別な製造プロセスを追加すること無しにアクティブマトリックス液晶パネル等に応用することが出来る。

本発明をアクティブマトリックスパネル特にドライバを内蔵したアクティブマトリックスパネルに応用すると次の様な効果が得られる。TFTによつて構成された薄膜のラインメモリと組み合わせることによつて、1走査線分の表示データを同時に画素に書き込むいわゆる線順次駆動が可能となり、その結果液晶パネルの表示品質が向上する。

その他、TFTによる固体撮像装置等への応用も可能である。

#### 4. 図面の簡単な説明

第1図(a)、(b)は、本発明の基本的な構成を示すブロック図。

- 13 -

ス間電圧はほぼ一定の電圧 $V_{gs} = V_{gs0}$ に定まる。この結果、第2図のソースホロワ回路の入出力特性は、第7図114に示される様なリニアな特性となる。

第3図及び第4図は、負荷抵抗として第2図の薄膜抵抗21の代わりにN型TFT31又はデプレッション型P型TFT41を用いたものでありその動作は第2図のソースホロワ回路と同様である。

第10図は、本発明のソースホロワの断面構造を示したものである。同図において、51は絶縁基板、52は第1のシリコン薄膜、53はゲート酸化膜、54は第2のシリコン薄膜、55は層間絶縁膜、56は配線層であり、以上より、P型TFT57とN型TFT58が形成されている。

#### 〔発明の効果〕

以上述べた様に本発明によれば、可変バイアス回路の出力をソースホロワ回路の負荷電流源TFTのゲートに接続することにより、入出力電圧の関係がリニアでかつ入出力振幅の比が1(即ち、利

- 12 -

第2図は、本発明の第一の実施例を示す構成図。

第3図は、本発明の第二の実施例を示す構成図。

第4図は、本発明の第三の実施例を示す構成図。

第5図は、従来例を説明するための回路図。

第6図(a)、(b)、(c)は、TFT並びに単結晶MOSFETの特性を説明するための特性図。

第7図は、従来のソースホロワ回路及び本発明のソースホロワ回路の入出力電圧の関係を説明するための特性図。

第8図は、本発明に用いられる可変バイアス回路の特性図。

第9図は、本発明のソースホロワ回路の動作を説明するための特性図。

第10図は、本発明のソースホロワ回路の断面図の一部を示した断面図。

以 上

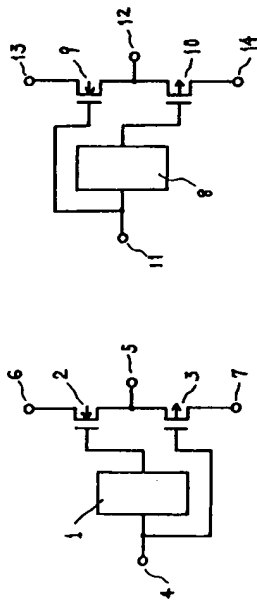
出願人 セイコーエプソン株式会社

代理人 弁理士 故 上 務

他1名

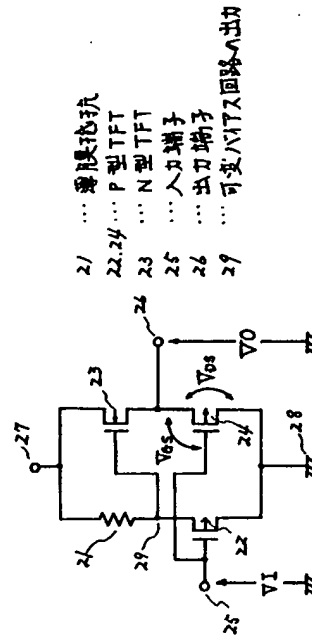


- 14 -

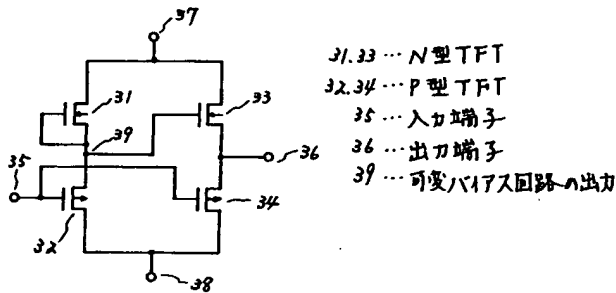


- (a) 1, 8 ... 可変バイアス回路  
2, 9 ... N型TFT  
3, 10 ... P型TFT
- (b) 4, 11 ... 入力端子  
5, 12 ... 出力端子

ソースホロワ回路のブロック図  
第 1 図

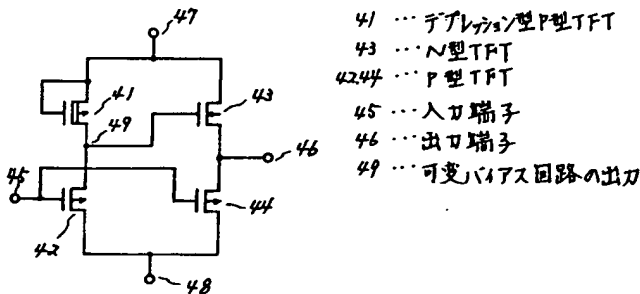


ソースホロワ回路の構成図  
第 2 図



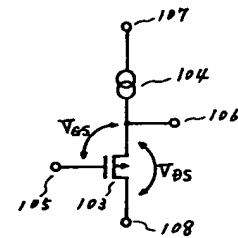
ソースホロワ回路の構成図

第 3 図



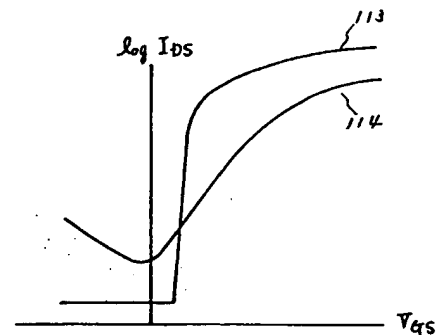
ソースホロワ回路の構成図

第 4 図



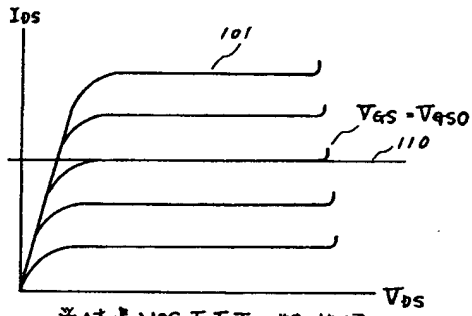
ソースホロワ回路図

第 5 図



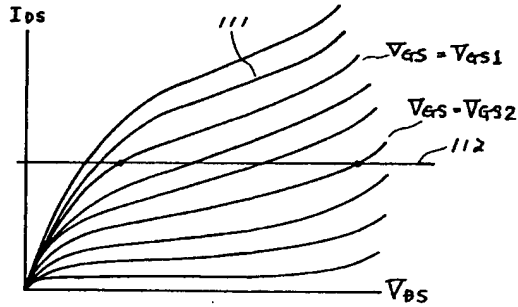
TFT並びに単結晶MOSFETの特性図

第 6 図 (a)



単結晶MOS EETの特性図

第6図 (b)



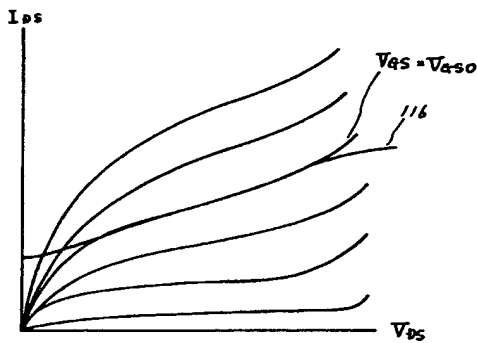
$V_{DS}$  ... ドレイン・ソース間電圧

$V_{GS}$  ... ゲート・ソース間電圧

$I_{DS}$  ... ドレイン電流

TFTの特性図

第6図 (c)



$V_{DS}$  ... ドレイン・ソース間電圧

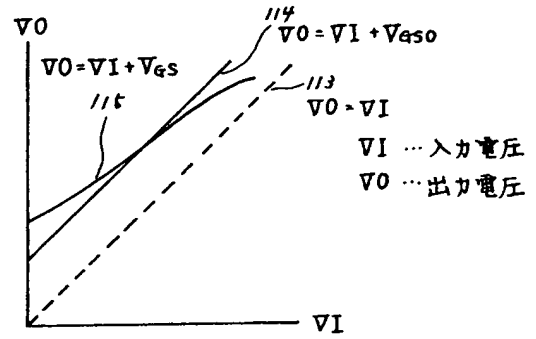
$I_{DS}$  ... ドレイン電流

$V_{GS}$  ... ゲート・ソース間電圧

116 ... 負荷電流源の電流

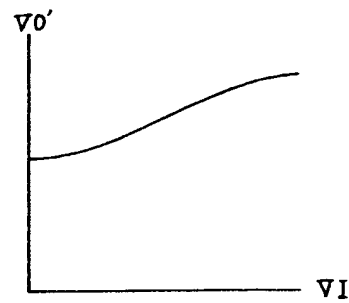
負荷電流源とソースホロワTFTの特性図

第9図



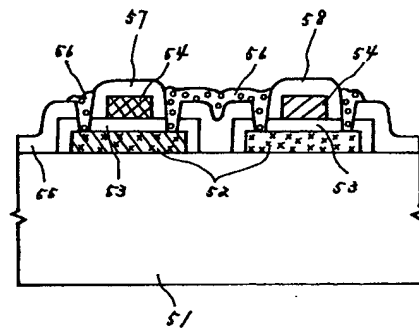
ソースホロワ回路の入出力特性図

第7図



可変バイアス回路の入出力特性図

第8図



ソースホロワ回路の断面図

第10図